

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 01 日
Application Date

申請案號：092121226
Application No.

申請人：浩威科技有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 12 日
Issue Date

發文字號：(09221141610)
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、 發明名稱 | 中 文 | 薄膜電晶體顯示器陣列之測試電路及方法 |
| | 英 文 | Testing Apparatus and Method for Thin Film Transistor Display Array |
| 二、 發明人 (共2人) | 姓 名 (中文) | 1. 郭光義 2. 田孝通 |
| | 姓 名 (英文) | 1. Kuo, Kuang I 2. Tien, Hsiao Tung |
| | 國 籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW |
| | 住居所 (中 文) | 1. 台中市工業一路98巷7弄80號2F-2 2. 台中市工業一路98巷7弄80號3F-1 |
| | 住居所 (英 文) | 1. 2F-2, No. 50, Alley7, Lane98, Gongye 1st Rd., Taichung City, Taiwan300, R. O. C. 2. 3F-1, No. 50, Alley7, Lane98, Gongye 1st Rd., Taichung |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 浩威科技有限公司 |
| | 名稱或 姓 名 (英文) | 1. PRIMTEST System Technologies |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 台中市中工二路186號2樓 (本地址與前向貴局申請者不同) |
| | 住居所 (營業所) (英 文) | 1. 2F, No. 186, Jung-Gong 2nd Road, Taichung City407, Taiwan, R. O. C. |
| | 代表人 (中文) | 1. 李逸萍 |
| | 代表人 (英文) | 1. Li, I Ping |



四、中文發明摘要 (發明名稱：薄膜電晶體顯示器陣列之測試電路及方法)

本發明揭示一種薄膜電晶體顯示器電路之測試電路及方法，用以測試薄膜電晶體陣列之良窳，測試電路包含：一陣列測試機台、一被測物台座、一感測放大器陣列。其特徵為：該感測放大器陣列由複數個轉移阻抗放大器 (transimpedance amplifier unit) 及雜散電容放電電路組成，每一感測放大器包括：一轉移阻抗放大器，由一運算放大器，二個開關及一個操作電容器組成，此轉移阻抗放大器用以形成積分電路，其輸出經一輸出開關傳送給取樣/保持電路，經類比/數位轉換器轉換為數位信號；一薄膜電晶體陣列之源極線雜散電容放電電路，此放電電路用以形成雜散電容之電荷之放電路徑。

五、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：Testing Apparatus and Method for Thin Film Transistor Display Array)

The present invention discloses a testing circuit and method for thin film transistor display array, for testing the yield of thin film transistor array. The testing circuit comprising: An array tester, a test panel (DUT), a sense amplifier array. The sense amplifier is composed by a plurality of trans-impedance amplifier unit and a plurality of parasitic capacitance discharge



四、中文發明摘要 (發明名稱：薄膜電晶體顯示器陣列之測試電路及方法)

| | |
|-------------|--------------|
| 400 感測放大器 | 402 雜散電容放電電路 |
| 404 轉移阻抗放大器 | 406 運算放大器 |
| 408 運算放大器 | 410 類比/數位轉換器 |
| 412 操作電容 | 414 操作電容 |
| 416 負載電阻 | |

六、英文發明摘要 (發明名稱：Testing Apparatus and Method for Thin Film Transistor Display Array)

circuit unit. Every sense amplifier includes: a trans-impedance amplifier, which is implemented by an operational amplifier, two switches and an operation capacitance, the trans-impedance amplifier is used to form an integrated circuit, the output is transmitted to a sampling/hold circuit via a switch; a parasitic capacitance discharge circuit is used to form a discharge rout



四、中文發明摘要 (發明名稱：薄膜電晶體顯示器陣列之測試電路及方法)

六、英文發明摘要 (發明名稱：Testing Apparatus and Method for Thin Film Transistor Display Array)

for the charge of the parasitic capacitance.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

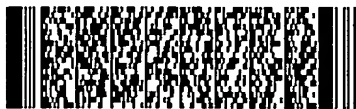
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

1. 發明所屬之技術領域

本發明係有關於電路之測試方法，特別是有關於薄膜電晶體顯示器電路之圖素儲存電容之測試方法。在雜散電容遠大於圖素電容之情形下，可得到可靠而精密之圖素良窳之測量結果。

2. 先前技術

液晶顯示器(LCD)或有機液晶顯示器(OLCD)之圖素愈來愈多，大面積顯示器之面積愈來愈大，其薄膜晶體(TFT)陣列之源極線之雜散電容 C_{sp} 遠大於圖素(Pixel)之儲存電容 C_s 。致在品管階段之良品測量時，所得測量信號太小，精度不足。

一般測量圖素電容是否良好，皆先以數伏特之電壓充電給圖素電容，然而此時亦同時對薄膜電晶體陣列之源極線之雜散電容充電，因此無法分開二者之信號。中華民國發明專利申請案第88108530號案(公告案號473622號)由日本亞細亞公司申請之專利「薄膜電晶體陣列檢查方法及裝置」即為解決方案之一例。參考第1圖，第1圖係先前技術之圖素電容之測量等效電路圖。圖中 C_s 為圖素電容(pixel capacitance)， C_{sp} 為TFT陣列之源極線雜散電容(TFT array source parasitic capacitance)，且 $C_{sp} \gg C_s$ ， ΔC_s



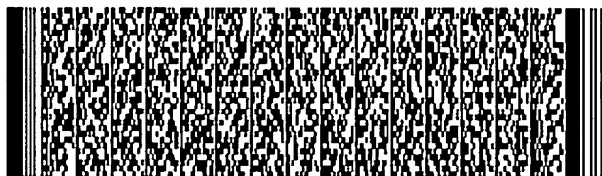
五、發明說明 (2)

為已知值之標準電容。 S_1 為 C_{sp} 及 ΔC_s 之連接開關， S_2 為圖素開關電晶體。如第1圖(a)所示，第一階段先使圖素電容 C_s 充電至 V_p ，然後使圖素開關電晶體 S_2 OFF，再以 V_s 對雜散電容 C_{sp} 充電，但 $V_s \neq V_p$ ，此時亦對測量時與圖素電容 C_s 並聯之附加電容 C_T 充電；其次於測量時使 S_2 ON，測量並聯電容 $C_s \parallel C_{sp} \parallel C_T$ 之電壓 V_{a1} 。此值與 V_s 之差 ΔV_{S1} 甚小，而 $\Delta V_{S1} = V_{a1} - V_s = C_s / C_T * (V_p - V_s)$ ，因 V_{a1} ， V_s ， C_T ， V_p ， V_s 皆已知，故可求出 C_s 之值，但誤差大，故另外需做第二階段之測量如第1圖(b)所示，對 C_{sp} 充電時使 S_1 ON， V_s 亦對 ΔC_s 充電，亦即對 $C_{sp} \parallel \Delta C_s \parallel C_T$ 充電，其中 ΔC_s 為已知值之標準電容，最後使 S_2 ON，測量 $C_s \parallel \Delta C_{sp} \parallel C_s \parallel C_T$ 之電壓 V_{a2} ，而 $\Delta V_{S2} = V_{a2} - V_s = C_s / C_T * (V_p - V_s)$ ，再根據 ΔV_{S1} ， ΔV_{S2} 求 C_s 之值如下式：

$$C_s = \Delta C_s * \Delta V_{S1} * \Delta V_{S2} / \{ (V_p - V_s) * (\Delta V_{S1} - \Delta V_{S2}) \}$$

此法需二階段之測量，費時甚長，又信號微弱，可靠度不足，精確度亦差。不合產業界之需求。

因此產業界有一需求，希望能在測量微小之圖素電容時，能得到較強之信號，以提升精確度及可靠度，且每一圖素祇需經一次測量即可得到結果。以節省時間及人之方法。本案即針對此一目標而進行研發。



五、發明說明 (3)

3. 發明內容

本發明之目的為提供一種薄膜電晶體顯示器陣列之電路及方法，對小數值之圖素電容之測量在與薄膜電晶體陣列之源極線甚大之雜散電容併聯之狀態下，以電荷轉移之方式，將雜散電容轉移，能得到較強之信號以提升精確度及可靠度。

本發明之次一目的為提供一種薄膜電晶體顯示器陣列之電路及方法，對每一圖素僅需測量一次即可得到正確結果，以節省時間及人力。

為達成上述目的及改進先前技術之缺點，本發明之第一觀點在建構一種薄膜電晶體顯示器電路之測試電路，用以測試薄膜電晶體陣列之良窳，至少包含：一陣列測試機台(Array tester)，用以提供電源，測試信號波形，以分析計算儲存所得結果；一被測物台座，用以置放薄膜電晶體陣列，並由陣列測試機台提供控制信號及測試放大器控制信號；一感測放大器陣列，用以將薄膜電晶體陣列之源極雜散電容轉移(放電)及將圖素儲存電容之電荷電流予以積分，其特徵為：該感測放大器陣列由複數個轉移阻抗放大器單元(transimpedance Amplifier unit)及雜散電容放電電路組成，每一感測放大器包括：一轉移阻抗放大器，由一運算放大電路，二個開關，一個操作電容器組



五、發明說明 (4)

成，該操作電容，係將輸出回授至運算放大器之負輸入端，一開關連結於運算放大器之負輸入端及輸出端，短路該操作電容使之放電之用。另一開關作輸入端之開關，以決定是否與薄膜電晶體陣列之圖素儲存電容連接，此轉移阻抗放大器用以形成積分電路，其輸出經一輸出開關傳送給取樣/保持電路，經類比/數位轉換器轉換為數位信號；一薄膜電晶體陣列之源極線雜散電容放電電路，由一運算放大電路，二個開關，一個操作電容組成，該操作電容係將輸出回授至運算放大器之負輸入端，一開關連結於運算放大器之負輸入端及輸出端，供短路該操作電容使之放電之用，另一開關作輸入端之開關，以決定是否與薄膜電晶體陣列之源極線雜散電容連結，一負載電阻連接放大器之輸出至接地，此放電電路用以形成雜散電容之放電路徑。

本發明之第二觀點在提供一種薄膜電晶體顯示器陣列無效圖素(不可見區域)之測試方法，至少包含下列步驟：將陣列中待測之第 n 行圖素儲存電容器充電至一電壓 V_s ，充電完畢即將圖素電晶體開路；將感測放大器及放電電路之短路開關閉路，將該感測放大器及放電電路之操作電容放電；將放電電路輸入開關閉路，短路開關開路，使薄膜電晶體陣列之雜散電容經由放電電路放電，將電荷轉移，其轉移時間較長；將轉移阻抗放大器輸入開關閉路，啟動感測放大器電路，進行第 n 行第 k 列之圖素儲存電容之電流之積分，但不將結果輸出；再測試下一圖素(第 n 行第 $k+1$



五、發明說明 (5)

列)。

本發明之第三觀點在提供一種薄膜電晶體顯示器陣列有效圖素(可見區域)之測量方法，至少包含下列步驟：將陣列中待測之第 n 行圖素儲存電容充電至一電壓 V_s ，充電完畢即將圖素電晶體開路；將感測放大器及放電電路之短路開關閉路，將該感測放大器及放電電路之操作電容放電；將感測放大器輸入開關閉路，啟動感測放大器電路進行第 n 行第 k 列之圖素儲存電容之電流之積分，得一積分電壓 V_d ；將輸出開關閉路，啟動取樣/保持電路，將積分電壓取樣/保持後經類比/數位轉換器轉換成數位信號，傳送給測試機台，供分析、計算其結果；將放電電路輸入開關閉路，短路開關閉路，使薄膜電晶體陣列之雜散電容經由放電電路放電，將電荷轉移，以利下一個圖素之測量，其轉移時間較短，以提高效率；再測試下一圖素(第 n 行第 $k+1$ 列)。

4. 實施方式

本發明之內容可經由下述實施例與其相關圖式之闡述而予揭示。第2圖為依據本發明之實施例之低溫複晶矽(Low Temperature Poly-Si)薄膜電晶體陣列之顯示器電路之測試電路200之連接示意圖。行開關電晶體202或稱讀/寫開關電晶體，接受行開關閉極控制電路220之控制閉路



五、發明說明 (6)

(ON) 或開路(OFF) 其閘極，以將直流充電電源214 或測試電路由源極及汲極連接至該行，例如第 n 行($n=1$ 至 N ， N 為總行數)，圖素開關電晶體204 之閘極連接至第 k 列($k=1$ 至 K ， K 為總列數) 之列控制閘極電路216，圖素開關電晶體204 之源極接至行開關電晶體202 之汲極，而圖素開關電晶體204 之汲極則連接至圖素電容206 之正極，圖素電容之負極連至陣列之共通點(C_s on Common)，亦或接至 $k+1$ 列之閘極控制端(C_s on Gate)。行開關電晶體202 及圖素開關電晶體204 之源極皆有源極線雜散電容 C_{sp} 208，其值遠大於圖素電容 C_s 206 ($C_{sp} \gg C_s$)，其充電及放電之時間常數甚大。第一行開關電晶體202 之源極連接至一開關210，此開關向上連接至直流充電電源214，向下連接至感測陣列(sense Array)212。第一行開關電晶體202 之閘極連接至行開關控制電路220。感測陣列212 係本發明之特點之一，詳述於第4 圖。測試電路212 之輸出連接至類比/數位轉換器(A/D Converter, ADC)218 之取樣/保持電路(Sampling and hold circuit)，以將測試信號傳送至測試機台。

第3 圖為依據本發明之一實施例之測試機台與被測物(Device Under Test, DUT) 之連接圖300。陣列測試機台(Array Tester)302 已含有可程式電壓產生器(Programmable Voltage Generator)304，波形產生器(Waveform Generator)306，精密測量單元(Precision Measurement Unit)308，圖素處理器(Pixel Processor)



五、發明說明 (7)

310，中央處理單元及介面電路(CPU/Interface)312。由可程式電壓產生器產生之驅動信號316供給被測物314所需之電壓，如充電電壓、電晶體之驅動電壓等。波形產生器306產生所需之感測放大器控制信號(Sense Amp Control Signal)318以控制測試電路(Sense Amp)326之測試作業，經開關210(參見第2圖)連接圖素電晶體之信號經由導線322傳送給感測陣列212之感測放大器326，所感測之信號經取樣/保持電路(Sampling/Hold circuit)(未圖示)傳送給類比/數位轉換器324，轉換為數位信號後，經由資料線320傳送給圖素處理器310予以分析，再由CPU312計算出測試結果，做成報告或圖表，供測量人員判讀其測試結果。第3圖之電路連接與先前技術無太大差別，僅感測放大器之構造不同，且測量方法不同而已。

第4圖顯示依據本發明之一實施例之感測放大器400之電路構成線路圖，複數個感測放大器400構成一感測陣列212，每一感測放大器包括：轉移阻抗放大器(Transimpedance Amplifier)404，雜散電容放電電路(Parasitic Capacitance Discharge Circuit)402及類比/數位轉換器(A/D converter)410，以及開關SW1、SW2、SW3、SW4及SW5。雜散電容放電電路係一積分器，由運算放大器(Operational Amplifier)406，操作電容 C_d 412、SW1及負載電阻416構成，操作電容 C_d 412之值大於10pF。輸入經SW2連接至運算放大器406之負輸入端，正輸入端接



五、發明說明 (8)

地，負輸入端由SW1及 C_d 連接至輸出端，輸出端接一負載電阻416再接地。SW1 ON，可使 C_d 放電。SW1 OFF，SW2 ON，可將連至輸入端(I/P)之雜散電容之電荷作轉移(Transfer)之動作，亦即對雜散電容放電。轉移阻抗放大器404係一積分器，由運算放大器408，操作電容 C_{int} 414及SW3構成，操作電容 C_{int} 414之值約為1pF至100pF。輸入經SW4連接至運算放大器408之負輸入端、正輸入端接地，負輸入端由SW3及 C_{int} 連接至輸出端，輸出端由SW5連接至具有取樣及保持電路之類比/數位轉換器410，數位類比轉換器之輸出(O/P)即提供信號給圖素處理器。SW3 ON時可將 C_{int} 之電容放電，SW3 OFF、SW4及SW5 ON，即可將圖素儲存電容之上之電荷電流進行積分，經取樣/保持電路傳送給類比/數位轉換器轉換為數位信號。

第5圖為控制SW1至SW5測試一個圖素所需之控制波形圖，第5圖(a)為對無效(不可見區域)圖素之測試控制波形，而第5圖(b)係對有效(可見區域)圖素之測試控制波形，其運作將配合以下說明而解釋。

第6圖係依據本發明之一實施例對無效圖素(invalid pixel)(不可見區域)之測試流程圖。首先於步驟602，請參考第2圖，令第 n 行之開關電晶體ON，所有圖素電晶體ON，將開關210接至直流充電電源對第 n 行圖素儲存電容充電，充電完畢即將所有圖素電晶體OFF。然後將開關210接



五、發明說明 (9)

至感測陣列212中之一個感測放大器400(第4圖)，再回來參考第6圖，於步驟604，設此時已測至第n行第k列，於步驟606以第5圖(a)之測試控制波形於 T_1 週期，此時SW1，SW3 ON，參見第4圖，對TFT陣列之源極線雜散電容 C_{sp} 及放電電路402及感測放大器之操作電容 C_d ， C_{int} 作重置(reset)(即放電)動作。於步驟608，在第5圖之 T_2 週期令SW2 ON，SW1 OFF，使 C_{sp} 之電流經由 C_{sp} 放電電路402放電，亦即電荷之轉移，此步驟因係對無效圖素測量，不必有結果，但測試必須經過此圖素，故利用此時機加長 C_{sp} 之放電時間(即SW2 ON之時間加長)使雜散電容 C_{sp} 有充分之時間放電。於步驟610，亦在 T_2 週期內，SW4 ON，此時啟動測試電路404且使圖素電晶體ON進行圖素儲存電容 C_s 上電流之積分，注意此動作之時間與 C_{sp} 放電之時間重疊(參考第5圖之控制波形)，若無需對無效圖素進行量測，此步驟亦可省略。於步驟612進行第n行第k+1列之圖素測試。

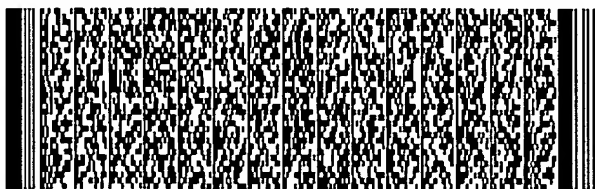
第7圖係依據本發明之一實施例對有效(可見區域)圖素(valid pixel)之測試流程圖。步驟702即704與步驟602及604相同，於步驟706，以第5圖(b)之測試控制波形於 T_1 週期，此時SW1，SW3 ON，參見第4圖，對TFT陣列之源極線雜散電容 C_{sp} 及放電電路402及感測放大器之操作電容 C_d ， C_{int} 作重置(reset)(即放電)動作。於步驟708與第5圖之 T_2 週期內，SW4 ON，啟動感測放大器，參考第2圖，此時使第n行第k列之圖素電晶體204 ON，將圖素儲存電容206之



五、發明說明 (10)

電荷形成之電流積分。其積分電壓 V_d 大於100mV。此信號電壓較先前技術所得之信號電壓大數百倍，可提升精確度及可靠度。對每一圖素僅需測量一次即可得到正確結果，可節省時間及人力。於步驟710，在第5圖之 T_3 週期內，使SW5 ON，啟動取樣/保持電路，將積分電壓送至ADC轉換成數位輸出，供圖素處理器310處理。於步驟712在第5圖之 T_4 週期內，使SW2 ON，SW1 OFF，進行電荷之轉移(即 C_{sp} 放電)。此步驟之目的是在於，當進行測量時，圖素儲存電容放電至感測放大器時亦會對第 n 行之源極線(source line)進行微量充電，隨著第 k 列之遞增，第 n 行之雜散電容之電荷會隨之累積，而影響測試之準確度。所以此步驟即針對此一現象進行改善。注意此放電週期相較於無效圖素之放電週期明顯減少，以求減少測試時間提高測試效率。此步驟在準備下一個圖素(即第 n 行，第 $k+1$ 列)之測量，因轉移動作已完成，可即於步驟714，進行下一個圖素之測量。

雖然本發明以特定之實施例已予揭露，熟知此技藝之人士將瞭解可對此特定實施例之形式及細節稍作改變，在不脫離本發明之精神及理念所作之修飾及變更皆為本發明之範圍，本發明以上所敘述之實施例僅作例示之目的，而不是用以限定所附之申請專利範圍。



圖式簡單說明

5. 圖式簡單說明：

第1圖(先前技術)係先前技術之圖素電容之測量等效電路圖。

第2圖為依據本發明之實施例之低溫複晶矽(Low Temperature Poly-Si)薄膜電晶體陣列之顯示器電路之測試電路之連接示意圖。

第3圖為依據本發明之一實施例之測試機台與被測物(Device Under Test, DUT)之連接圖300。

第4圖顯示依據本發明之一實施例之感測放大器400之電路構成線路圖。

第5圖為控制SW1至SW5測試一個圖素所需之控制波形圖，

第6圖係依據本發明之一實施例對無效圖素(invalid pixel)(不可見區域)之測試流程圖。

第7圖係依據本發明之一實施例對有效圖素(可見區域)(valid pixel)之測試流程圖。

符號說明：

200 測試電路

202 行開關電晶體

206 圖素電容

210 開關

214 直流充電電源

204 圖素開關電晶體

208 源極線雜散電容 C_{sp}

212 測試電路

216 列控制閘極電路



圖式簡單說明

- | | |
|-----------------------|-----------------|
| 218 類比/數位轉換器 | 220 行開關控制電路 |
| 300 測試機台與被測物(DUT)之連接圖 | |
| 302 陣列測試機台 | 304 可程式電壓產生器 |
| 306 波形產生器 | 308 精密測量單元 |
| 310 圖素處理器 | 312 中央處理單元及介面電路 |
| 314 被測物 | 316 驅動信號 |
| 318 感測放大器控制信號 | 320 資料線 |
| 322 導線 | 324 類比/數位轉換器 |
| 326 感測放大器 | |
| 400 感測放大器 | 402 雜散電容放電電路 |
| 404 轉移阻抗放大器 | 406 運算放大器 |
| 408 運算放大器 | 410 類比/數位轉換器 |
| 412 操作電容 | 414 操作電容 |
| 416 負載電阻 | |
| 602-714 步驟 | |



六、申請專利範圍

1. 一種薄膜電晶體顯示器陣列之測試電路，用以測試薄膜電晶體陣列之良窳，至少包含：

一陣列測試機台(Array tester)，用以提供電源，測試信號波形，以分析計算儲存所得結果；

一被測物台座，用以置放薄膜電晶體陣列，並由陣列測試機台提供控制信號及測試放大器控制信號；

一感測放大器陣列，用以將薄膜電晶體陣列之源極雜散電容轉移(放電)及將圖素儲存電容之電荷電流予以積分，其特徵為：

該感測放大器陣列由複數個轉移阻抗放大器放大器(transimpedance amplifier unit)及雜散電容放電電路組成，每一感測放大器包括：

一轉移阻抗放大器，由一放大電路，二個開關，一個操作電容器組成，該操作電容，係將輸出回授至放大器之負輸入端；一開關連結於運算放大器之負輸入端及輸出端，短路該操作電容使之放電之用；另一開關作輸入端之開關，以決定是否與薄膜電晶體陣列之圖素儲存電容連接，此轉移阻抗放大器用以形成積分電路，其輸出經一輸出開關傳送給取樣/保持電路，經類比/數位轉換器轉換為數位信號；

一薄膜電晶體陣列之源極線雜散電容放電電路，由一放大電路，二個開關，一個操作電容組成，該操作電容係將輸出回授至放大器之負輸入端，一開關連結於運算放大器之負輸入端及輸出端，供短路該操作電容使之放電之



六、申請專利範圍

用，另一開關作輸入端之開關，以決定是否與薄膜電晶體陣列之源極線雜散電容連結，一負載電阻連接運算放大器之輸出至接地，此放電電路用以形成雜散電容之電荷之放電路徑。

2. 如申請專利範圍第1項之測試電路，其中該薄膜電晶體陣列為液晶顯示面板(LCD)。

3. 如申請專利範圍第1項之測試電路，其中該薄膜電晶體陣列為有機發光二極體顯示面板(OLED)。

4. 如申請專利範圍第1項之測試電路，其中該薄膜電晶體陣列為LCOS(Liquid crystal on silicon)面板。

5. 如申請專利範圍第1項之測試電路，其中該薄膜電晶體為非晶矽薄膜電晶體。

6. 如申請專利範圍第1項之測試電路，其中該薄膜電晶體為複晶矽薄膜電晶體。

7. 如申請專利範圍第1項之測試電路，其中該薄膜電晶體為再結晶矽薄膜電晶體。

8. 如申請專利範圍第1項之測試電路，其中該放大電



六、申請專利範圍

路係運算放大器(Operational Ampifier)。

9. 如申請專利範圍第1項之測試電路，其中該複數個開關係受該陣列測試機台之程式化輸出波形控制。

10. 如申請專利範圍第1項之測試電路，其中該如申請專利範圍第1項之測試電路，其中該轉移阻抗放大器之操作電容之值為1pF至100pF。

11. 如申請專利範圍第1項之測試電路，其中該如申請專利範圍第1項之測試電路，其中該雜散電容放電電路之操作電容大於10pF。

12. 一種薄膜電晶體顯示器陣列無效圖素(不可見區域)之測試方法，至少包含下列步驟：

將陣列中待測之第n行圖素儲存電容器充電至一電壓 V_s ，充電完畢即將圖素電晶體開路；

將感測放大器及放電電路之短路開關閉路，將該感測放大器及放電電路之操作電容放電；

將放電電路輸入開關閉路，短路開關閉路，使薄膜電晶體陣列之雜散電容經由放電電路放電，將電荷轉移，其轉移時間較長；

將感測放大器輸入開關閉路，啟動感測放大器電路，進行第n行第k列之圖素儲存電容之電流之積分，但不將結



六、申請專利範圍

果輸出；

測試下一圖素(第 n 行第 $k+1$ 列)。

13. 一種薄膜電晶體顯示器陣列有效圖素(可見區域)之測量方法，至少包含下列步驟：

將陣列中待測之第 n 行圖素儲存電容充電至一電壓 V_s ，充電完畢即將圖素電晶體開路；

將感測放大器及放電電路之短路開關閉路，將該感測放大器及放電電路之操作電容放電；

將感測放大器輸入開關閉路，啟動感測放大器電路進行第 n 行第 k 列之圖素儲存電容之電流之積分，得一積分電壓 V_d ；

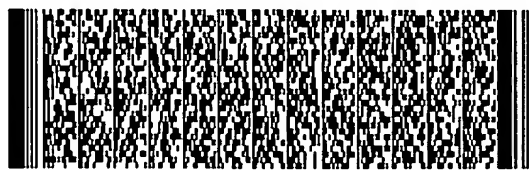
將輸出開關閉路，啟動取樣/保持電路，將積分電壓取樣/保持後經類比/數位轉換器轉換成數位信號，傳送給測試機台，供分析、計算其結果；

將放電電路輸入開關閉路，短路開關閉路，使薄膜電晶體陣列之雜散電容經由放電電路放電，將電荷轉移，以利下一個圖素之測量，其轉移時間較短，以提高效率；

測試下一圖素(第 n 行第 $k+1$ 列)。

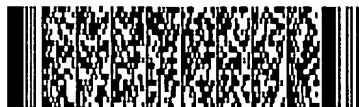
14. 如申請專利範圍第12或第13項之方法，其中圖素電容之充電電壓 V_s 為2至10伏特，

15. 如申請專利範圍第13之方法，其中該積分電壓 V_d 大



六、申請專利範圍

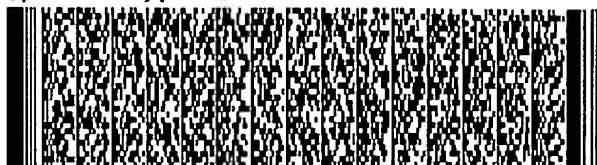
於100mV。



第 1/22 頁



第 2/22 頁



第 2/22 頁



第 3/22 頁



第 4/22 頁



第 5/22 頁



第 6/22 頁



第 6/22 頁



第 7/22 頁



第 7/22 頁



第 8/22 頁



第 8/22 頁



第 9/22 頁



第 9/22 頁



第 10/22 頁

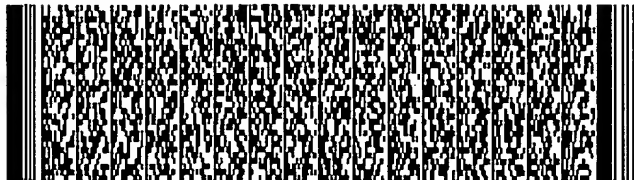


第 10/22 頁



BEST AVAILABLE COPY

第 11/22 頁



第 11/22 頁



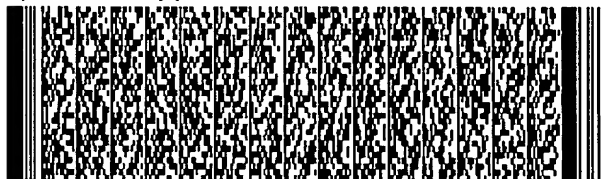
第 12/22 頁



第 12/22 頁



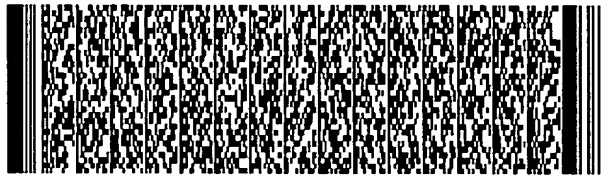
第 13/22 頁



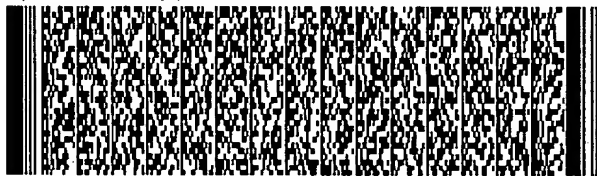
第 13/22 頁



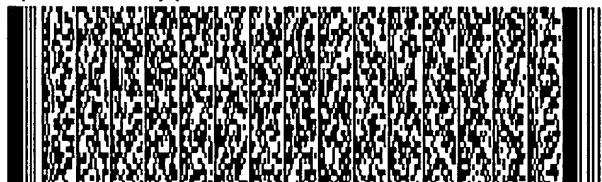
第 14/22 頁



第 14/22 頁



第 15/22 頁



第 15/22 頁



第 16/22 頁



第 16/22 頁



第 17/22 頁



第 18/22 頁



第 18/22 頁



第 19/22 頁



第 20/22 頁



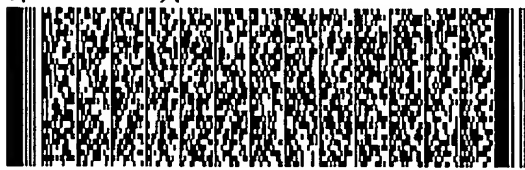
第 20/22 頁



第 21/22 頁



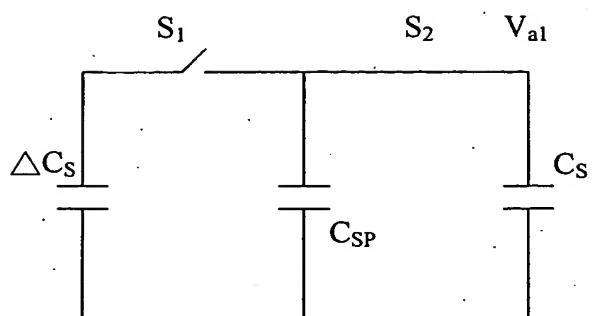
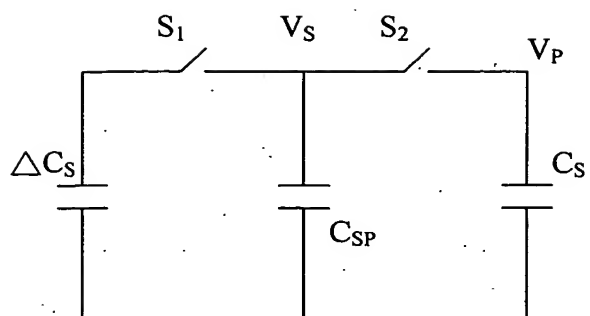
第 21/22 頁



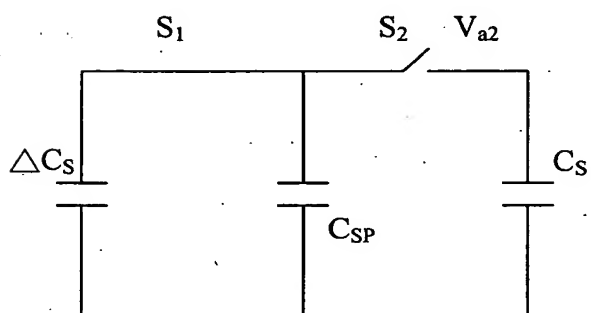
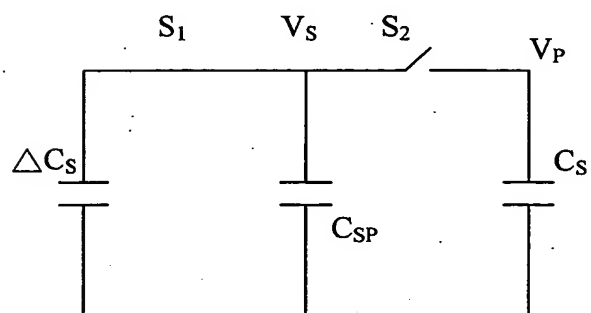
第 22/22 頁



BEST AVAILABLE COPY

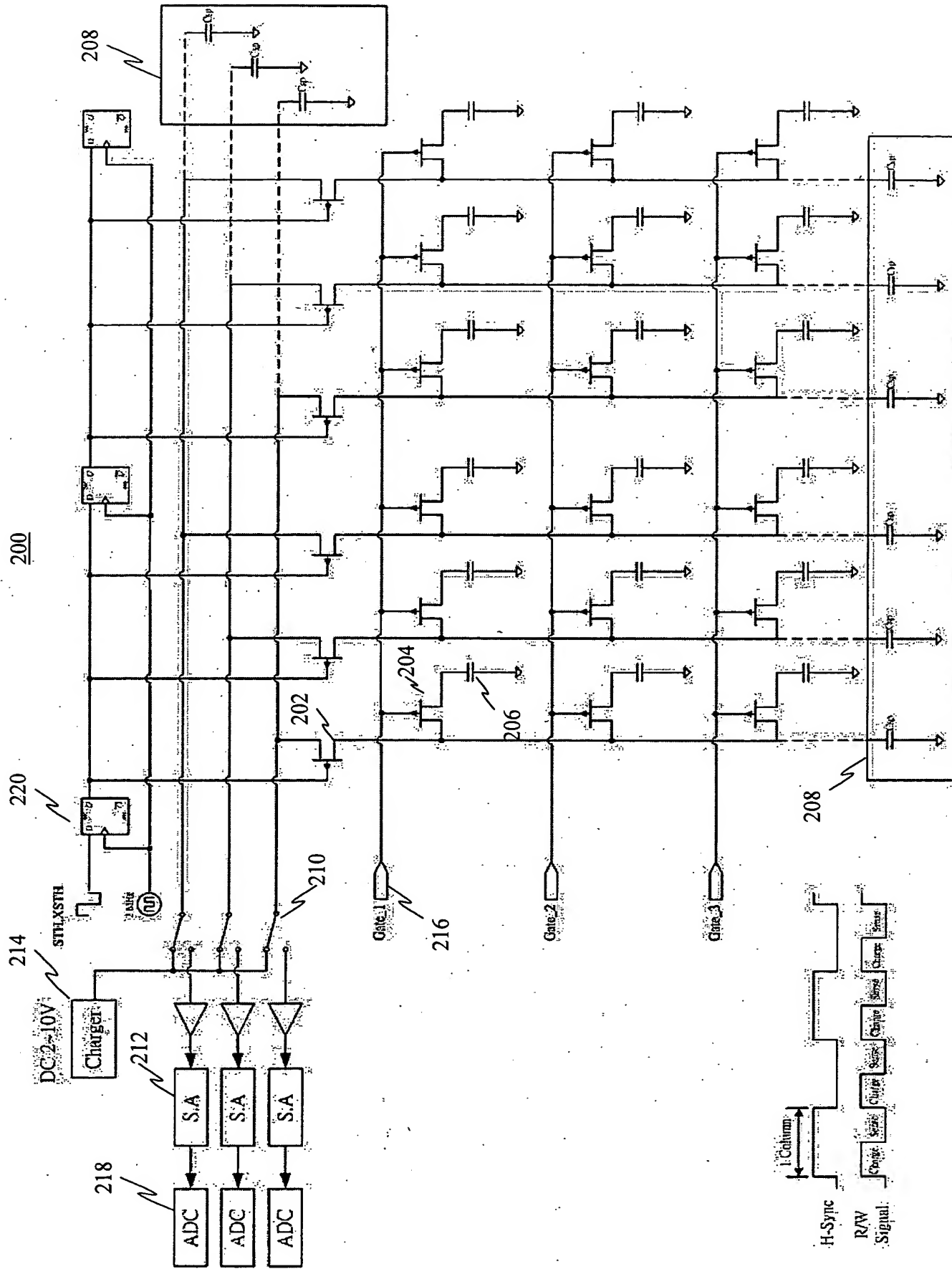


(a)

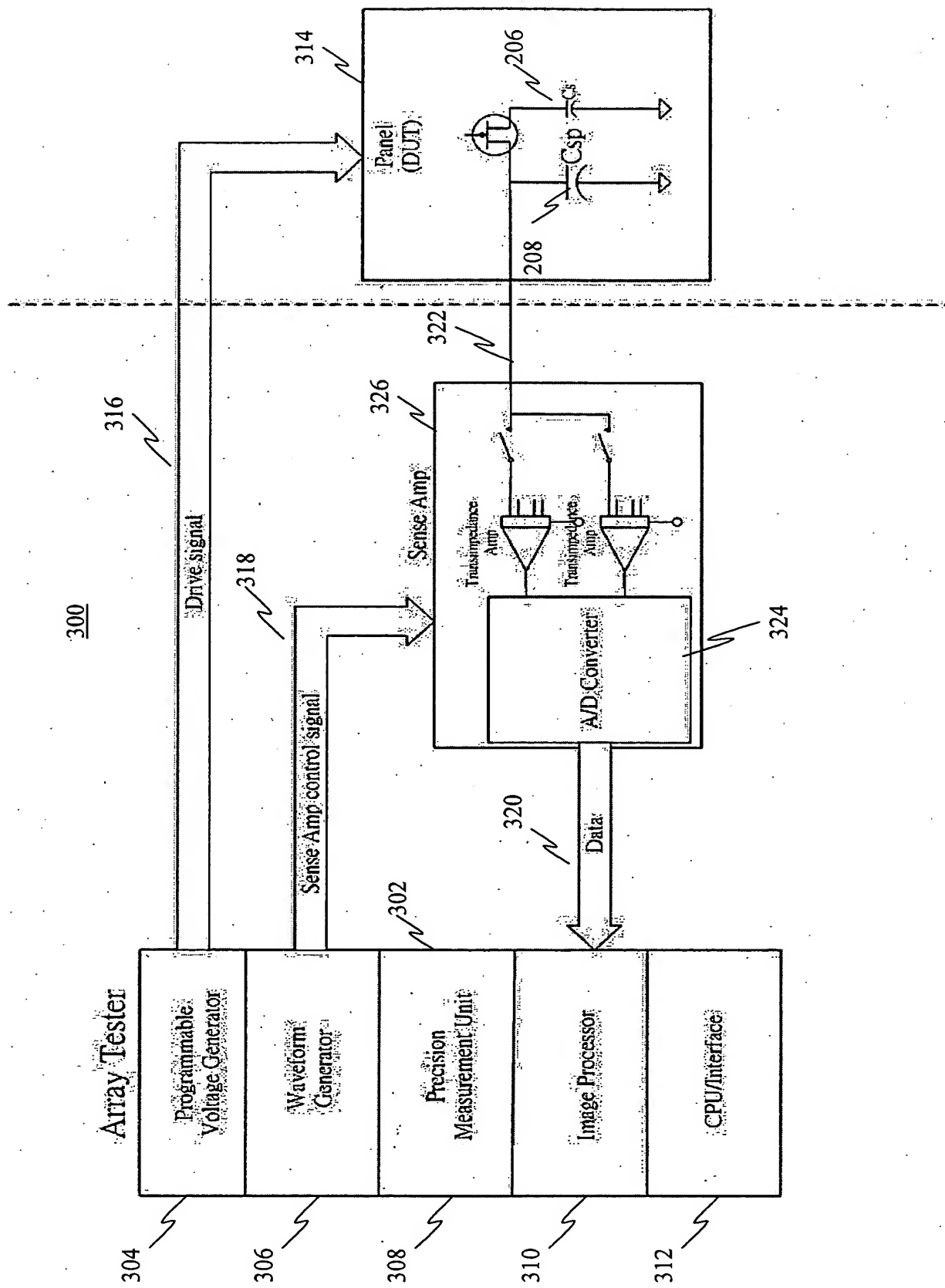


(b)

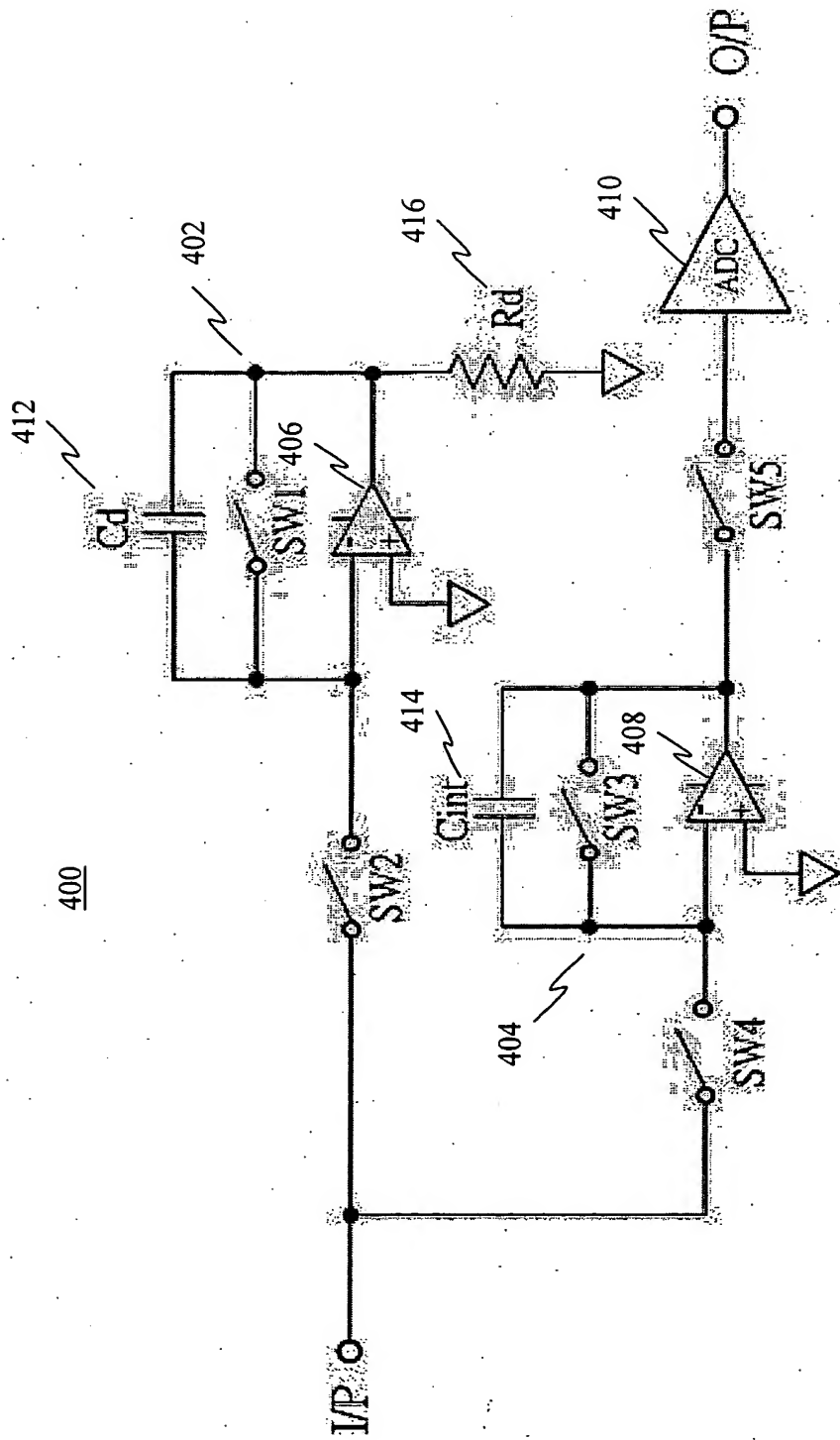
第 1 圖 (先前技術)



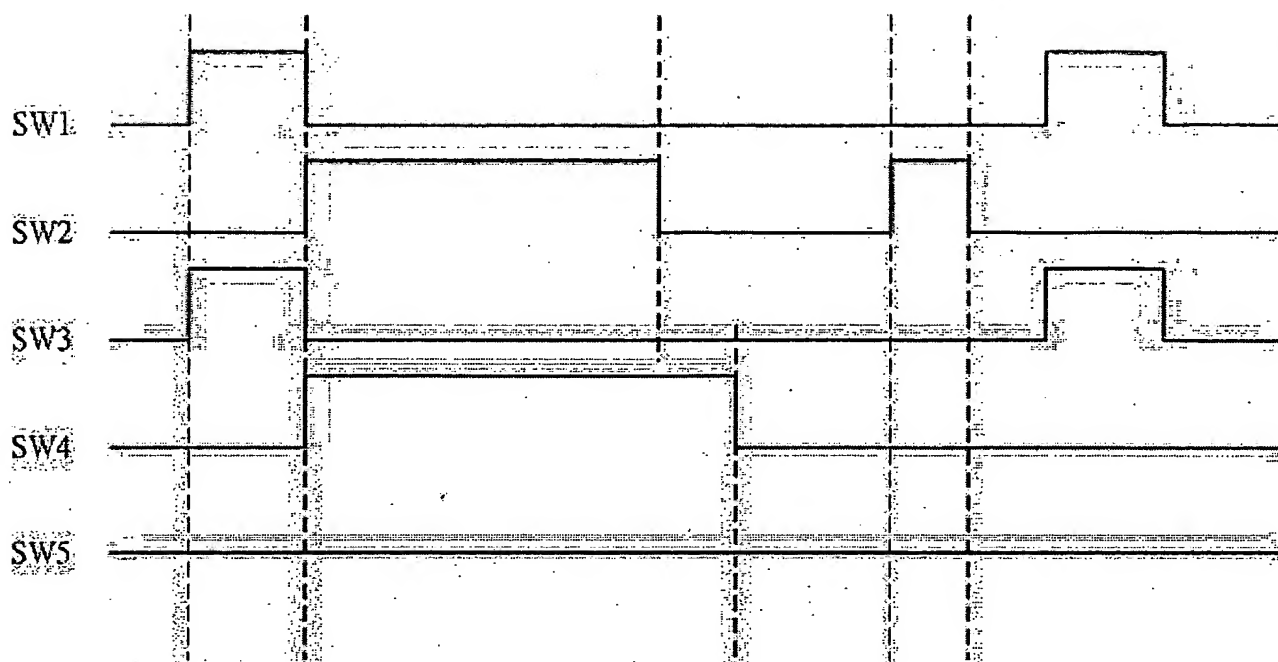
第 2 圖



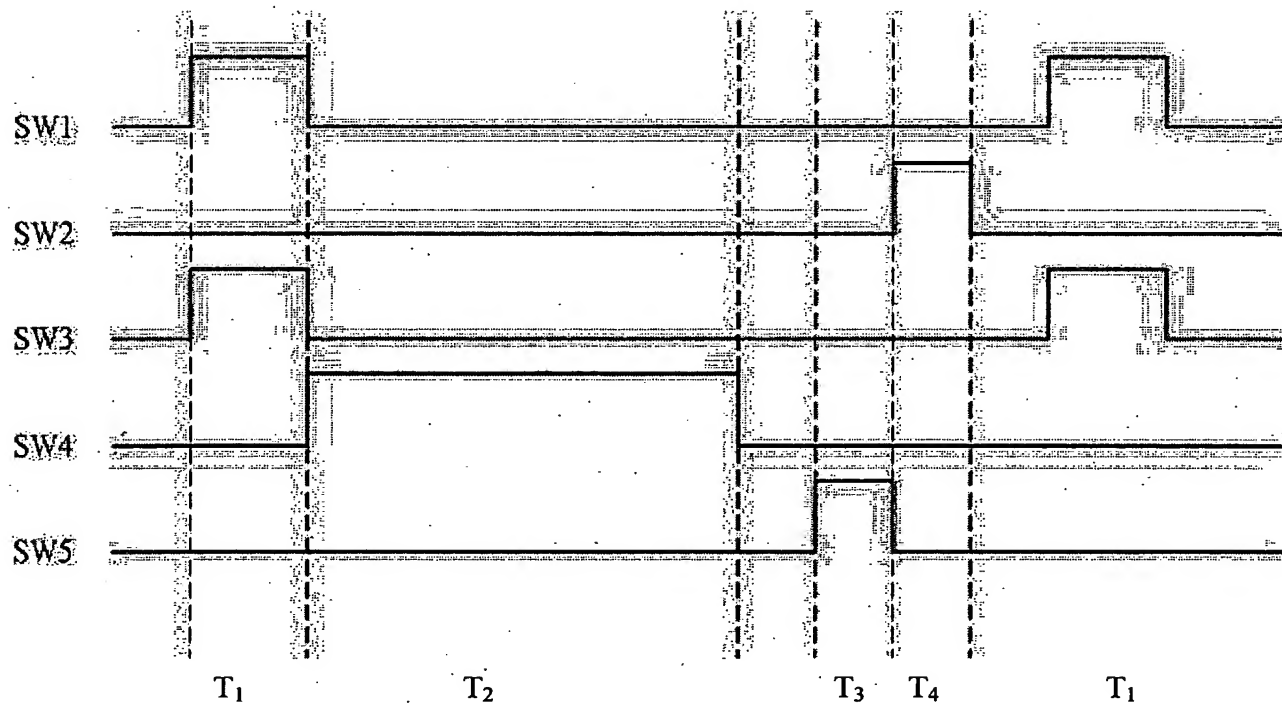
第 3 圖



第 4 圖

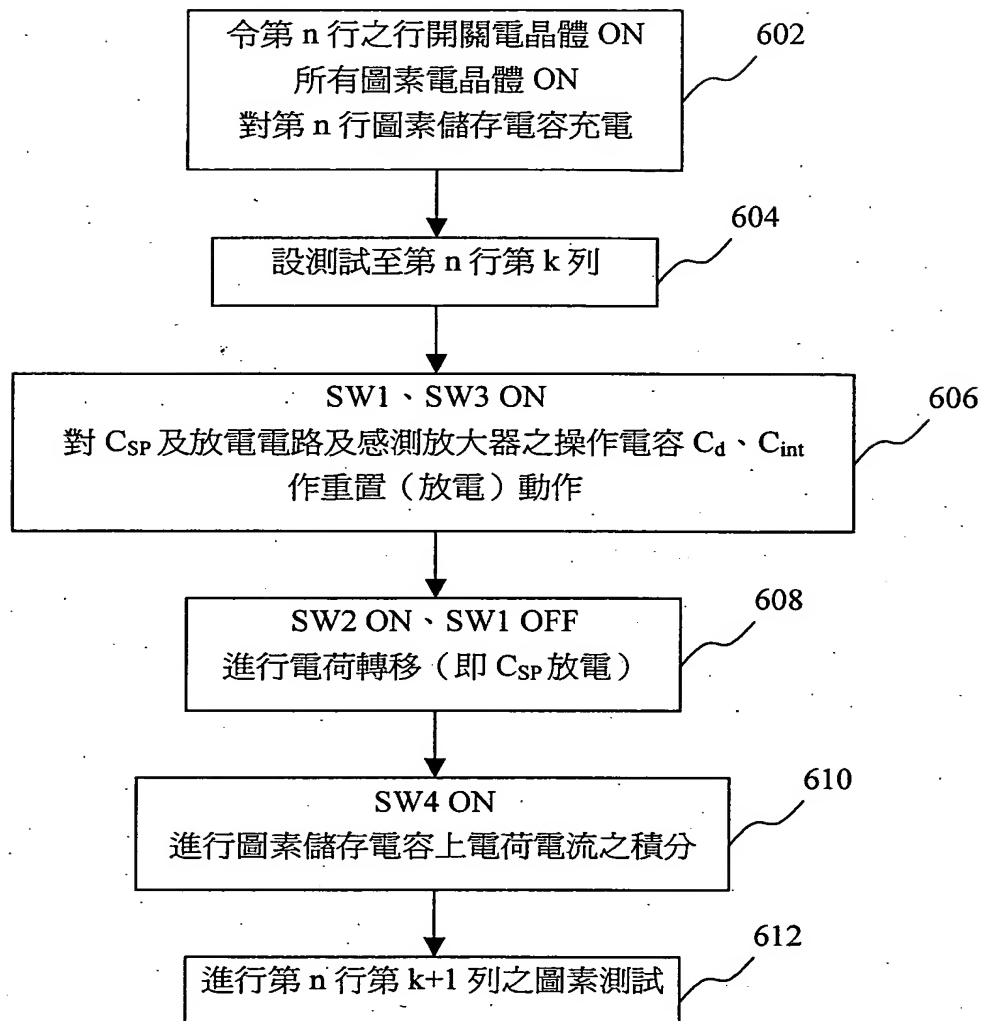


(a)

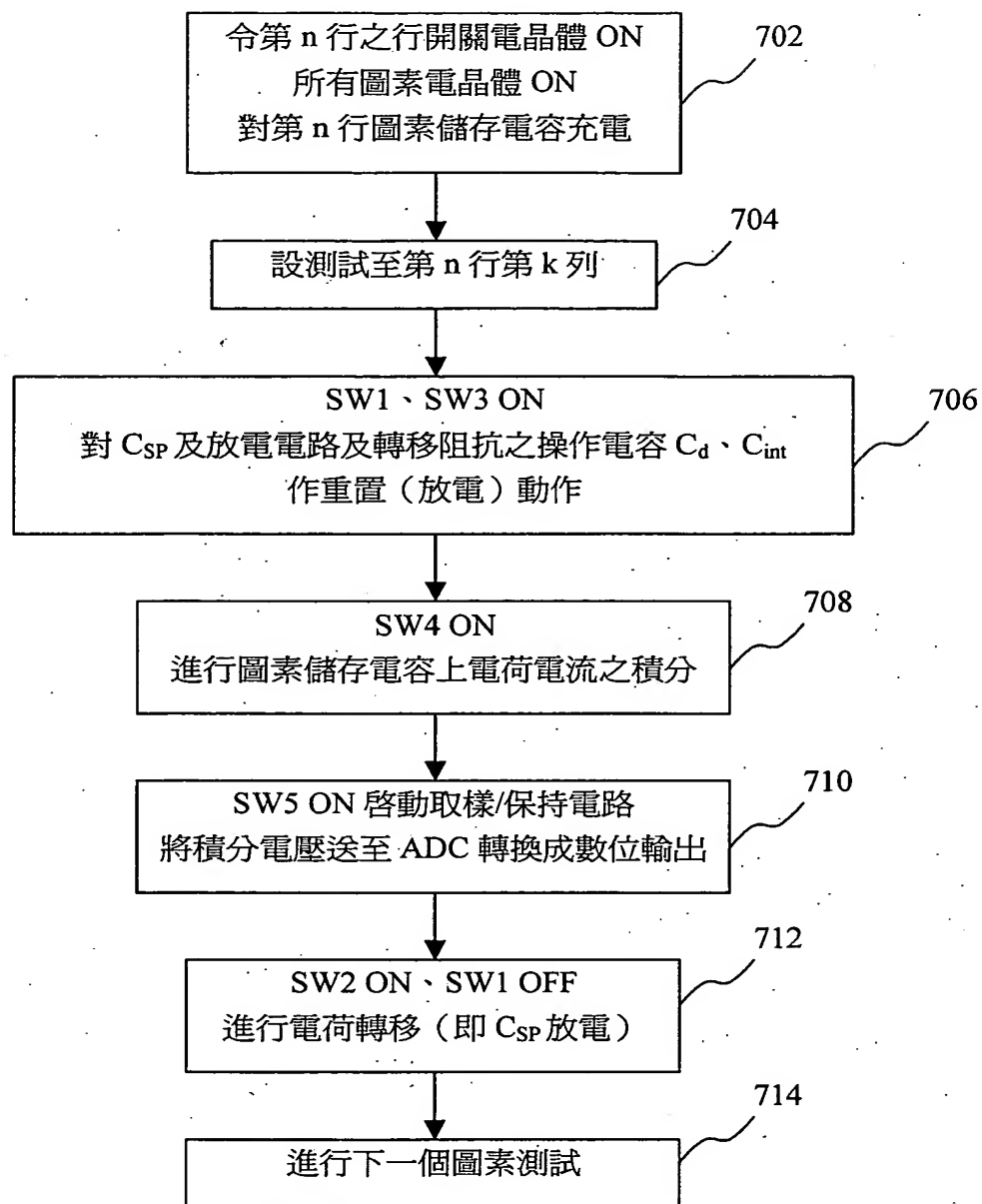


(b)

第 5 圖



第 6 圖



第 7 圖